

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-21358

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 27/06

21/265

27/08

3 3 1 B 9054-4M

9170-4M

8617-4M

H 0 1 L 27/ 06

3 2 1 B

21/ 265

Q

審査請求 未請求 請求項の数5(全 5 頁) 最終頁に続く

(21)出願番号 特願平4-175430

(22)出願日 平成4年(1992)7月2日

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 岡部 直人

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72)発明者 戸倉 規仁

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

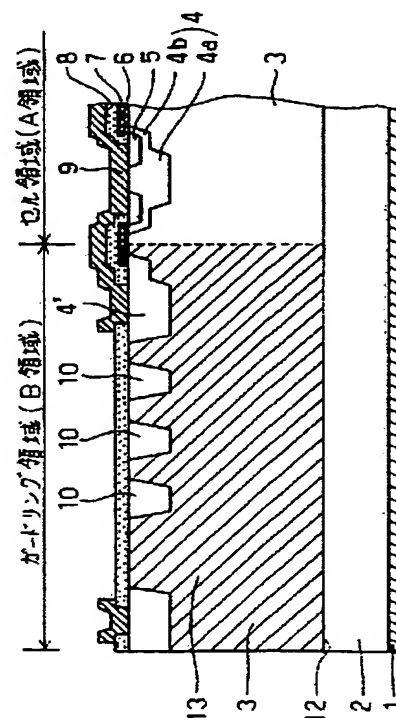
(74)代理人 弁理士 碓氷 裕彦

(54)【発明の名称】 絶縁ゲート型バイポーラトランジスタ

(57)【要約】

【目的】 オン抵抗の増加なしにIGBTのガードリング耐圧を向上させる。

【構成】 ガードリング部(B領域)の $n^-$ 層3に、Heイオンをイオン打ち込みすることにより結晶欠陥を選択的に形成する。これにより、ガードリングを構成するp層10及び4'、 $n^-$ 層3、 $p^+$ 層2を各々コレクタ、ベース、エミッタとして内在するバイポーラトランジスタにおいて、エミッタより注入される正孔のうちベースを経由してコレクタに到達する量が減少され、該バイポーラトランジスタの電流増幅率 $\beta$ が減少する。この電流増幅率 $\beta$ の減少に伴い、該バイポーラトランジスタの耐圧 $BV_{CEO}$ は向上し、言い換えればガードリング部の耐圧が向上される。



## 【特許請求の範囲】

【請求項1】 第1導電型の第1ドレイン層と、

この第1ドレイン層の上面に接する第2導電型の第2ドレイン層と、

この第2ドレイン層の一領域に形成され、該第2ドレイン層表面に形成された第1導電型半導体層および、この第1導電型半導体層内に形成された第2導電型半導体層を各々チャネル層、ソース層とする絶縁ゲート構造と、前記第2ドレイン層の一領域を囲む周辺領域において形成された第1導電型のガードリング構造と、

前記周辺領域においてのみ選択的に設定され、該周辺領域の第1、第2ドレイン層およびガードリング構造からなるバイポーラトランジスタの電流増幅率を小さくする手段とを備えることを特徴とする絶縁ゲート型バイポーラトランジスタ。

【請求項2】 第1導電型の第1半導体層と、

この第1半導体層に接する第2導電型の第2半導体層と、

この第2半導体層内に形成されるとともに、前記第2半導体層表面に接合部が終端するように部分的に形成された第1導電型の第3半導体層と、

この第3半導体層内に形成されるとともに、前記第3半導体層表面に接合部が終端するように部分的に形成された第2導電型の第4半導体層と、

前記第2半導体層と第4半導体層間の前記第3半導体層をチャネル領域として、少なくともこのチャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、

前記第3半導体層と前記第4半導体層の両方に接触部を有するソース電極と、

前記第3及び第4半導体層が複数配置された領域の外側の第2半導体層において、該第2半導体層に形成された第1導電型の第5半導体層からなるガードリング構造を含む周辺領域と、

前記第1半導体層を介してドレイン電流を供給するドレイン電極とを備えてなる絶縁ゲート型バイポーラトランジスタにおいて、

繰り返し配置された前記第3及び第4半導体層の縁端部から前記第2半導体層の周端部に至る第2半導体層内部あるいはその近傍に選択的に形成され、第2半導体層への少数キャリアの注入量を制限するか、第2半導体層内の少数キャリアの寿命を短縮する手段を備えることを特徴とする絶縁ゲート型バイポーラトランジスタ。

【請求項3】 上記第2半導体層への少数キャリアの注入量を制限する手段は、イオン打ち込みにより形成された欠陥であることを特徴とする請求項2に記載の絶縁ゲート型バイポーラトランジスタ。

【請求項4】 上記第2半導体層への少数キャリアの注入量を制限する手段は、前記第3及び第4半導体層の縁端部から前記第2半導体層の周端部に至り、第2半導体層と第1半導体層の接合面あるいはその近傍に形成され

た、前記第2半導体層よりも高い不純物濃度の第2導電型の第6半導体層であることを特徴とする請求項2に記載の絶縁ゲート型バイポーラトランジスタ。

【請求項5】 上記第2半導体層への少数キャリアの注入量を制限する手段は、前記第3及び第4半導体層の縁端部から前記第2半導体層の周端部に至り、第2半導体層と第1半導体層の接合面あるいはその近傍に形成された、前記第2半導体層よりも高い不純物濃度の第2導電型の第6半導体層であることを特徴とする請求項3に記載の絶縁ゲート型バイポーラトランジスタ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高耐圧、大電流のパワースイッチング素子として用いる絶縁ゲート型バイポーラトランジスタ（以下、IGBTと記す）に関する。

【0002】

【従来の技術】IGBTはパワーMOSFETと類似の構造を有するが、ドレイン領域にpn接合を設ける事により動作時に高抵抗ドレイン層に導電率変調を起こさせ、パワーMOSFETでは不可能な高耐圧と低オン抵抗の両立が達成できる。

【0003】しかしながら、通常高耐圧化手段として用いられる素子外周部のガードリング構造部の耐圧は、nチャネルIGBTを例にとると、内在pnp3層構造のブレークダウン動作により耐圧が決まり、pn2層構造のブレークダウンで耐圧が決まるパワーMOSFETと比較すると、同じ抵抗率と厚さの高抵抗ドレイン層を有する場合、オン抵抗は格段に小さいが耐圧が低くなる。これに対し特開昭62-219667号公報によれば、IGBT素子の外周部の高抵抗ドレイン層3表面にn<sup>+</sup>ベース領域15を設け、このn<sup>+</sup>ベース領域15と基板p<sup>+</sup>領域2を外部配線により電気的にショートする構造を提案している（図4参照）。

【0004】しかし、この従来構成ではn<sup>+</sup>ベース領域15とp<sup>+</sup>ドレイン層2を電気的にショートするためのワイヤボンディング用電極パッド14を表面n<sup>+</sup>ベース領域15に設ける必要があり、素子の電流通路となる有効面積が減少する。また高耐圧化の効果が大きくないという問題がある。

【0005】

【発明が解決しようとする課題】本発明は上記の問題を鑑みなされたもので、IGBT素子に新たな電極パッドを必要とせず、かつオン抵抗の犠牲無しにガードリング部の耐圧を向上させる構造を提供するものである。

【0006】

【課題を解決するための手段】IGBTは、ドレイン電極側から第1導電型の第1半導体層、この上にキャリア注入により導電率変調を起こす第2導電型の第2半導体層が形成され、この第2半導体層の表面に選択的に第1導電型の第3半導体層が形成され、この第3半導体層の

表面に選択的に第2導電型の第4半導体層が形成され、第2半導体層と第4半導体層の間の第3半導体層表面にゲート絶縁膜を介してゲート電極が形成され、第3半導体層表面から第4半導体層表面に渡ってソース電極が形成されている。

【0007】上記目的を実現すべく、本発明のIGBTは、前記第3及び第4半導体層が複数配置された領域（以下A領域と呼ぶ）の縁端から第2半導体層の周端に至る領域（以下B領域）の第2半導体層に対して形成されたガードリング耐圧構造を含む周辺領域においてのみ、選択的に該第2半導体層の少数キャリアの寿命を短縮させる手段を備えることを特徴としている。

【0008】より具体的には、B領域の第2半導体層内に少数キャリアの寿命を短縮する事を目的に、結晶欠陥を形成するものである。また、別の構成は、B領域の第2半導体層と第1半導体層の境界面あるいはその近傍に第2半導体層よりも高濃度の不純物を含む第2導電型の第6半導体層を設けるようにしているものである。

【0009】さらに本発明の別の構成は、B領域の第2半導体層中に結晶欠陥を形成するとともに、第2半導体層と第1半導体層の境界面あるいはその近傍に第2導電型の第6半導体層を設けるようにしているものである。

【0010】

【作用および効果】上記構成により達成される作用および効果について以下に説明する。ドレイン電極とソース電極の間に電圧が印加され、第3半導体層と第2半導体層とからなるpn接合が逆バイアス状態になり、高抵抗の第2半導体層に空乏層が広がる状況を考える。ここでA領域においては隣合う第3半導体層およびその間に位置する第2半導体層領域では、隣合う第3半導体層からその間に位置する第2半導体層に空乏層が伸び互いに重なる事により電界の緩和が達成される。そして第3半導体層の底部のpn接合部で最大の電界値 $E_A$ をとる。一方、第3半導体層の繰り返し配置が終わるA領域の縁端では上記電界緩和効果がなくなり、縁端の第3半導体層のコーナー部ないし第3半導体層近傍の第2半導体層表面で最大電界値 $E_B$ をとる。ここで一般に $E_A < E_B$ となるため、A領域よりB領域で雪崩降状が先に発生し、素子の耐圧はB領域の耐圧で決定される。そこで素子の耐圧を高くするため、B領域の最大電界 $E_B$ を小さくすべく、繰り返し配置された第3半導体層の縁端から第2半導体層の周端に至るB領域において耐圧構造が設けられる。一般的に素子耐圧の向上にはガードリング構造が使われるが、ここでIGBTのガードリング耐圧は、A領域縁端部のソース電極—第3半導体層—第2半導体層—第1半導体層—ドレイン電極によって内在されるバイポーラトランジスタの耐圧 $BV_{CEO}$ となる。このため第3半導体層—第2半導体層からなるpn接合の耐圧 $BV_{CBO}$ よりも低い耐圧になる。この現象は次式により説明される。

【0011】

【数1】 $BV_{CEO} = BV_{CBO} / (1 + \beta)^{1/n}$

【0012】

【数2】 $\beta = \gamma \cdot \alpha_T / (1 - \gamma \cdot \alpha_T)$

なお、数1、数2は、“半導体デバイスの基礎”、(マグローヒル社発行、垂井康夫 監訳)、P259およびP244より抜粋したものである。

【0013】数1より、ブレイクダウン時の内在バイポーラトランジスタの動作により、バイポーラトランジスタの電流増幅率 $\beta$ の影響でガードリングの雪崩降状によるブレイクダウン電圧 $BV_{CEO}$ は、pn接合の雪崩降状によるブレイクダウン電圧 $BV_{CBO}$ よりさらに低下する現象が起こる。ここでB領域の内在バイポーラトランジスタの $\beta$ 値を小さくする事により $BV_{CEO}$ を $BV_{CBO}$ に近づけガードリング耐圧を向上する事ができる。

【0014】本発明では、A領域縁端からB領域において、第2半導体層内部に少数キャリアの寿命を短縮する結晶欠陥を形成する。これによりガードリング領域の内在バイポーラトランジスタの少数キャリアの到達率 $\alpha_T$ （輸送効率とも言う）が小さくなり、それにより数2で示される様に、 $\beta$ 値は小さくなり、その結果 $BV_{CEO}$ の値が増加する。

【0015】次に本発明の別の構成による作用と効果を説明する。B領域の第2半導体層と第1半導体層の境界面あるいはその近傍に第2半導体層よりも高濃度の不純物を含む第2導電型の第6半導体層を設ける事により内在バイポーラトランジスタの第1半導体層からの少数キャリアの注入が抑制される。すなわち内在バイポーラトランジスタの注入効率 $\gamma$ が減少し数2で示される様に、電流増幅率 $\beta$ は小さくなりその結果 $BV_{CEO}$ が増加する。

【0016】さらにもう1つの構成である、B領域の第2半導体層中の結晶欠陥の形成と、第2半導体層と第1半導体層の境界面あるいはその近傍の第6半導体層の形成を複合して行えば、B領域の内在バイポーラトランジスタの到達率 $\alpha_T$ と注入効率 $\gamma$ の両者を減少させる事により電流増幅率 $\beta$ は相対的に小さくなり、より一層 $BV_{CEO}$ の増加が達成される。

【0017】以上述べた構成においては、素子表面に新たな電極パッドを形成しセル領域であるA領域の面積を減少させる必要は無く、さらにB領域の内在バイポーラトランジスタの電流増幅率 $\beta$ を減少させるのみで、A領域の内在バイポーラトランジスタの電流増幅率の減少は一切ないため、オン状態での抵抗の増加は無い。従って素子のオン抵抗の増加なしにガードリング耐圧を向上することができる。

【0018】

【実施例】以下、本発明を図に示す実施例に基づいて説明する。実施例では、第1導電型としてp型、第2導電型としてn型を用いたnチャネルIGBTの場合を説明

する。

【0019】図1は、本発明の第1実施例を適用したIGBT素子の単位セル部（A領域）及びガードリング部（B領域）の断面図である。これを製造工程に従って説明する。

【0020】まず、半導体基板である $p^+$ ドレイン層2（第1半導体層）を用意し、この上に気相成長法あるいはウェハ直接接合法等により高抵抗の $n^-$ ドレイン層3（第2半導体層）を所定の不純物濃度 $N_D$ と厚さ $t$ で形成する。次に $3\sim6\mu m$ の深さに $p$ ウェル層4a（第3半導体層の一部をなす）、 $p$ 層10及び $p$ 層4'を選択拡散法により同時に形成する。ここで $p$ 層10は高耐圧化の目的で形成したガードリングであり、 $p$ 層4'はソース電極へ余剰キャリアを抜きとる抜きとり層である。更に $p$ 層4aと重なるように $p$ チャネル層4b、およびこの $p$ ウェル層4a、 $p$ チャネル層4bからなる $p$ 層（第3半導体層）内に $n^+$ ソース層5（第4半導体層）を形成する。なお、以上の製造工程において、 $n^-$ ドレイン層3の表面を酸化して形成されたゲート酸化膜6の上に形成されたゲート電極7をマスクとして、いわゆるDSA技術（Diffusion Self Alignment）により $p$ チャネル層14bと $n^+$ ソース層5が自己整合的に形成され、これによりチャネルが形成される。

【0021】その後、層間絶縁膜8を形成して、続いて $p$ 層4及び $n^+$ 層5にオーミック接触を形成するために、ゲート酸化膜6と層間絶縁膜8にコンタクト孔を開孔し、アルミニウムを数 $\mu m$ 蒸着し、選択エッチングすることにより、ソース電極9及びゲート電極パッド（図示せず）を形成する。そして、 $p^+$ ドレイン層2の表面に金属膜を蒸着して、ドレイン電極1を形成する。

【0022】さらに金属マスク（たとえばステンレスマスク）を用いガードリング領域（B領域）に選択的に、イオン打ち込み法によりたとえばヘリウムイオンを打ち込み、領域（斜線にて図示）13の少なくとも1部に結晶欠陥を形成する。さらに素子の電気特性安定化のための熱処理を行う。

【0023】このように構成されたIGBT素子のガードリング領域において、内在バイポーラトランジスタのエミッタ領域（基板 $p^+$ 層2）から注入される少数キャリアのうちベース領域（ $n^-$ 領域3）を経由してコレクタ領域（ $p^+$ 層10）に到達する量が減少し、それにより上述の数2に示すように、電流増幅率 $\beta$ が減少し、その結果ガードリング領域のブレイクダウン電圧 $BV_{CEO}$ が向上する。

【0024】尚、結晶欠陥の形成は上述の $He^+$ の他、 $Ar$ イオン、 $H^+$ イオンの打ち込み、電子線あるいは中性子線の照射によっても可能である。図2に第2実施例の構造を示す。図1と異なる点は、ガードリング領域（B領域）の基板 $p$ 接合12の近傍に選択的に $n^-$ 層

11を形成した事である。 $n^+$ 層11は、半導体基板である $p^+$ 層2の表面に不純物を選択拡散するか、あるいは $p^+$ 層の表面に $n^-$ 層をある厚さ形成した後その表面に不純物を選択拡散し、その後図1で示した製造工程を施すことにより、基板 $p$ 接合12の近傍に形成することができる。

【0025】このように構成されたIGBT素子のガードリング領域において、内在バイポーラトランジスタのエミッタ領域（基板 $p^+$ 層2）からベース領域（ $n^-$ 層3）への少数キャリア（正孔）の注入が抑制され、上述のように数2に示す電流増幅率 $\beta$ が減少し、その結果ガードリング領域のブレイクダウン電圧 $BV_{CEO}$ が増加する。

【0026】また、図3に示す第3実施例のように上記第1、第2実施例を複合するようにしてもよい。本実施例によれば、ガードリング領域（B領域）における内在バイポーラトランジスタのエミッタ領域（基板 $p^+$ 層2）から注入される少数キャリアのうちベース領域（ $n^-$ 領域3）を経由してコレクタ領域（ $p^+$ 層10）に到達する量が減少するのに加えて、エミッタ領域（基板 $p^+$ 層2）からベース領域（ $n^-$ 層3）への少数キャリア（正孔）の注入が抑制され、その結果上述の数2に示す電流増幅率 $\beta$ が激減し、ガードリング領域のブレイクダウン電圧 $BV_{CEO}$ をさらに増加させることができる。

【0027】なお、上記種々の実施例では、第1導電型として $p$ 型、第2導電型として $n$ 型を用いた例を説明したが、これらの導電型を逆にした $p$ チャネル型のIGBTにおいても本発明は有効である。

【図面の簡単な説明】

【図1】本発明第1実施例のIGBTのセル領域と外周部ガードリング領域の断面構造図である。

【図2】本発明第2実施例のIGBTのセル領域と外周部ガードリング領域の断面構造図である。

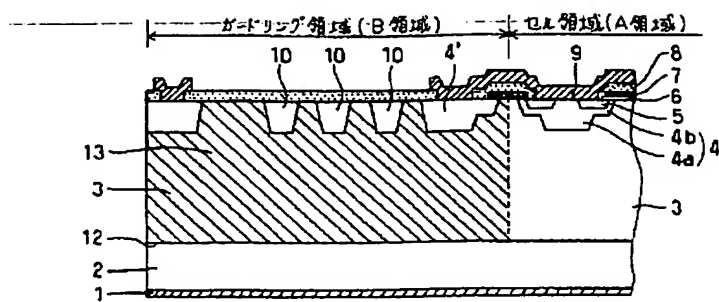
【図3】本発明第3実施例のIGBTのセル領域と外周部ガードリング領域の断面構造図である。

【図4】従来のIGBT素子のセル領域と外周部ガードリング領域の断面構造図である。

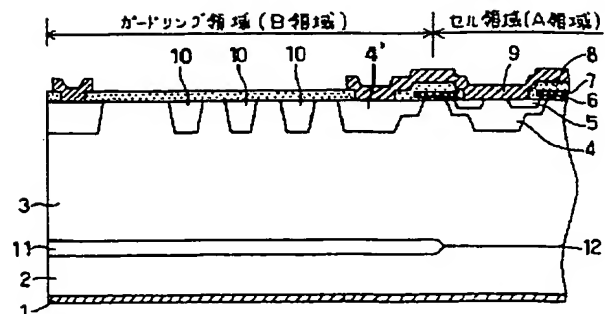
【符号の説明】

- 1 ドレイン電極
- 2  $p^+$ 層（第1半導体層）
- 3  $n^-$ 層（第2半導体層）
- 4  $p$ 層（第3半導体層）
- 5  $n^+$ 層（第4半導体層）
- 6 ゲート絶縁膜
- 7 ゲート電極
- 9 ソース電極
- 10  $p$ 層（第5半導体層）
- 11  $n^+$ 層（第6半導体層）
- 12 基板 $p$ 接合部
- 13 ライフタイムキラ形成領域

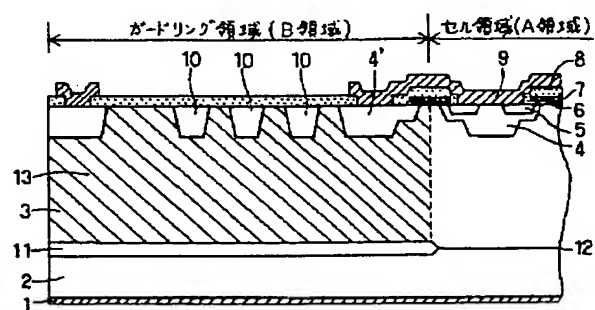
【図1】



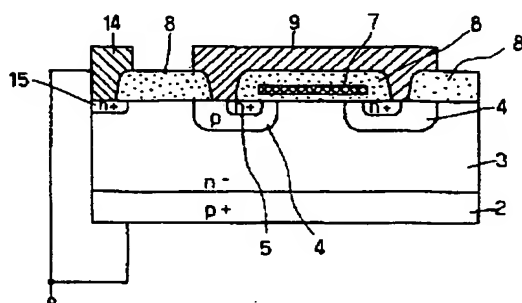
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl.<sup>5</sup>

H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9168-4M

H01L 29/78

321 J

9168-4M

321 K